

Docket No.: 67161-103

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Tadaaki YAMAUCHI	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 18, 2003	:	Examiner: Unknown
	:	
For:		NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE ATTAINING HIGH DATA TRANSFER RATE

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

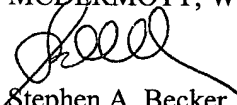
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

**Japanese Patent Application No. 2003-102864, filed April 7, 2003**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker  
Registration No. 26,527

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 SAB:tlb  
Facsimile: (202) 756-8087  
**Date: September 18, 2003**

67161-103  
YAMAGUCHI  
September 18, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

*McDermott, Will & Emery*

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 4月 7日

出 願 番 号

Application Number:

特願2003-102864

[ST.10/C]:

[JP2003-102864]

出 願 人

Applicant(s):

株式会社ルネサステクノロジ

2003年 6月10日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3045246

【書類名】 特許願

【整理番号】 542809JP01

【提出日】 平成15年 4月 7日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社  
社内

【氏名】 山内 忠昭

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 各々が行列状に配列された複数のメモリセルを有する複数のメモリブロックと、

前記メモリセルの行にそれぞれ対応して設けられる複数のワード線と、

前記メモリセルの列にそれぞれ対応して設けられる複数のビット線と、

前記ビット線の電位を伝達するデータバス線と、

前記複数のビット線のうち列選択結果に応じて選択される 1 本と前記データバス線とを電氣的に結合する列選択回路と、

行列状に配列された複数の参照メモリセルを有する参照メモリブロックと、

前記参照メモリセルの行にそれぞれ対応して設けられる複数の参照ワード線と

前記参照メモリセルの列にそれぞれ対応して設けられる複数の参照ビット線と

前記参照ビット線の電位を伝達する参照データバス線と、

前記複数の参照ビット線のうち列選択結果に応じて選択される 1 本と前記参照データバス線とを電氣的に結合する参照列選択回路と、

前記データバス線および前記参照データバス線に対応して配置され、前記データバス線と前記参照データバス線との電位差を差動増幅するセンスアンプとを備え、

前記列選択回路は、前記複数のビット線のうちの 1 本が選択状態に駆動されるデータ読出期間において、非選択状態の残りの前記ビット線を所定電位にプリチャージし、

前記参照列選択回路は、前記複数の参照ビット線のうちの 1 本が選択状態に駆動するデータ読出期間において、非選択状態の残りの前記参照ビット線を前記所定電位にプリチャージする、不揮発性半導体記憶装置。

【請求項 2】 前記参照列選択回路は、前記複数のメモリセルを列選択するコラムアドレスの下位ビットのデコード結果である列選択信号に応じて、前記複

数の参照ビット線のうちの1本を選択し、前記参照データバス線と電氣的に結合する、請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 前記参照列選択回路は、前記列選択信号が非活性となる期間において活性化されるリセット信号に応じて、前記複数の参照ビット線のうちの非選択状態の参照ビット線とプリチャージ電位とを電氣的に結合する、請求項2に記載の不揮発性半導体記憶装置。

【請求項4】 コラムアドレスの上位ビットで規定されるバースト長にて連続的にデータ転送されるバーストモードにおいて、前記参照列選択回路は、

前記コラムアドレスに従って指定されるスタートアドレスに対応する前記ビット線および第1の前記参照ビット線が選択状態に駆動するデータ読出期間に、昇順的に指定される次のアドレスに対応する前記ビット線および第2の前記参照ビット線を前記所定電位にプリチャージし、

前記次のアドレスに対応する前記ビット線および前記第2の参照ビット線が選択状態に駆動するデータ読出期間に、昇順的に指定されるさらに次のアドレスに対応する前記ビット線および前記第1の参照ビット線を前記所定電位にプリチャージする、請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 前記参照メモリブロックを共有する前記複数のメモリブロックの各々と前記参照メモリブロックとの間に配置される複数の接続スイッチ回路をさらに備え、

前記複数の接続スイッチ回路は、前記複数のメモリブロックのうちコラムアドレスに対応して選択される1つのメモリブロックと前記参照メモリブロックとを結合する、請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 前記センスアンプは、第1の前記データバス線と前記参照データバス線との電位差を差動増幅する第1の前記センスアンプと、第2の前記データバス線の電位をシングルエンド出力する第2の前記センスアンプとからなるセンスアンプ帯を構成し、

複数のデータを連続的に転送するモードにおいて、スタートアドレスに対応する前記ビット線と前記参照ビット線とを選択して、前記第1のデータバス線と前記参照データバス線とにそれぞれ結合し、前記第1のセンスアンプにおいて、前

記第 1 のデータバス線と前記参照データバス線との間の電位差を差動増幅する第 1 のデータ読出手段と、

後続のアドレスに対応する前記ビット線を選択して第 2 の前記データバス線に結合し、前記第 2 のセンスアンプにおいて、前記第 2 のデータバス線の電位をシングルエンド出力する第 2 のデータ読出手段とを備える、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記列選択回路と前記第 1 および第 2 のデータバス線との間に結合される接続スイッチ回路をさらに備え、

前記接続スイッチ回路は、

前記スタートアドレスに基づいて生成される制御信号の活性化に応答して、前記スタートアドレスに対応するビット線と前記第 1 のデータバス線とを電気的に結合し、前記制御信号の非活性化に応答して、前記後続のアドレスに対応するビット線と前記第 2 のデータバス線とを電気的に結合する、請求項 6 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関し、より特定的には、電気的にデータ書込およびデータ消去が可能な不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

電気的にデータ書込およびデータ消去が可能な不揮発性メモリにおいては、マイクロプロセッサ等の高性能化に伴って、大容量化と高速化とを両立して実現することが強く求められている。

【0003】

そこで、従来から、データ転送レートの高速化を図った不揮発性メモリが多数提案されている（例えば、特許文献 1 および非特許文献 1 参照）。

【0004】

例えば、特許文献 1 に記載されている不揮発性メモリは、ビット線および参照

メモリセルが接続される参照ビット線をプリチャージする期間および選択ビット線と参照ビット線との電位差をセンシングする期間でのフィードバック信号を変えることにより、ビット線プリチャージ時のビット線への電荷供給量を任意のレベルに設定し、ビット線のオーバープリチャージなどの電荷供給ロスを最小限に抑え、データ読出の高速化を図っている。

【0005】

【特許文献1】

特開2000-100186号公報（第4-5頁、第1図）

【0006】

【非特許文献1】

"A 1-MBit CMOS EPROM with Enhanced Verification", Roberto Gastaldi et al., IEEE Journal of SOLID-STATE CIRCUIT, vol 23, No.5, 1988.

【0007】

【発明が解決しようとする課題】

ここで、従来から提案されている不揮発性メモリにおいては、複数のビット線に対して、参照メモリセルが接続される参照ビット線は1本で構成されるのが一般的である。

【0008】

したがって、データ読出時のセンス動作の後には、参照ビット線を所定の電位にプリチャージする期間が必要となり、プリチャージ期間後に、次のデータ読出を行なうこととなる。

【0009】

しかしながら、バーストモードによるデータ読出のように、読出サイクルごとにデータを連続的に出力するときには、本構成の不揮発性メモリでは、センシング期間の前に十分なプリチャージ期間が必要とすることから、データ転送レートがプリチャージ期間によって制限されてしまうという問題が生じてしまう。

【0010】

このことは、高集積化が求められる不揮発性メモリにおいては、ビット線に接続されるメモリセル数の増加に伴ってプリチャージ期間も長くなることから、



データ転送レート的高速化を阻害する大きな要因となる。

【0011】

それゆえ、この発明の目的は、高速データ転送レートを実現する不揮発性半導体記憶装置を提供することである。

【0012】

【課題を解決するための手段】

この発明に係る不揮発性半導体記憶装置は、各々が行列状に配列された複数のメモリセルを有する複数のメモリブロックと、メモリセルの行にそれぞれ対応して設けられる複数のワード線と、メモリセルの列にそれぞれ対応して設けられる複数のビット線と、ビット線の電位を伝達するデータバス線と、複数のビット線のうち列選択結果に応じて選択される1本とデータバス線とを電気的に結合する列選択回路と、行列状に配列された複数の参照メモリセルを有する参照メモリブロックと、参照メモリセルの行にそれぞれ対応して設けられる複数の参照ワード線と、参照メモリセルの列にそれぞれ対応して設けられる複数の参照ビット線と、参照ビット線の電位を伝達する参照データバス線と、複数の参照ビット線のうち列選択結果に応じて選択される1本と参照データバス線とを電気的に結合する参照列選択回路と、データバス線および参照データバス線に対応して配置され、データバス線と参照データバス線との電位差を差動増幅するセンスアンプとを備える。列選択回路は、複数のビット線のうちの1本が選択状態に駆動されるデータ読出期間において、非選択状態の残りの前記ビット線を所定電位にプリチャージし、参照列選択回路は、複数の参照ビット線のうちの1本が選択状態に駆動するデータ読出期間において、非選択状態の残りの参照ビット線を所定電位にプリチャージする。

【0013】

【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。

【0014】

〔実施の形態1〕

図 1 は、この発明の実施の形態 1 に従う不揮発性半導体記憶装置において、データ読出に関連する部分の構成を説明するための図である。

【0015】

なお、以降の実施の形態では、不揮発性半導体記憶装置の代表例として、フラッシュメモリを挙げて説明するが、E P R O M (Erasable Programmable Read-Only Memory) や E E P R O M (Electrically Erasable Programmable Read-Only Memory) についても適用可能である。

【0016】

図 1 を参照して、フラッシュメモリは、行列状に配置された複数のメモリセル MC を有するメモリアレイを備える（図示省略）。

【0017】

メモリアレイは、複数のメモリブロック 10 に分割される。図 1 においては、1 つのメモリブロック 10 のみを代表的に示す。

【0018】

メモリブロック 10 の各々は、 $n$  行 ( $n$  は自然数)  $\times$  4 列のメモリセル MC で構成される。メモリブロック 10 においては、各メモリセル行および各メモリセル列にそれぞれ対応して、ワード線  $W L 0 - W L n$  およびビット線  $B L 0 - B L 3$  がそれぞれ配置される。

【0019】

なお、以下においては、ワード線およびビット線を総括して表現する場合には、符号  $W L$  および  $B L$  をそれぞれ用いて表記することとする。

【0020】

メモリブロック 10 の行方向に隣接して、参照メモリセル  $M C r$  を有する参照メモリブロック 20 が配される。参照メモリブロック 20 は、複数の参照メモリセル  $M C r e f$  で構成されており、各参照メモリセル  $M C r$  行および各参照メモリセル列に対応して、参照ワード線  $W L r e f$  および参照ビット線  $B L r 0 - B L r 1$  がそれぞれ配置される。

【0021】

なお、以下においては、参照ワード線および参照ビット線を総括して表現する

場合には、符号W L r e f およびB L r をそれぞれ用いて表記することとする。

【 0 0 2 2 】

また、本実施の形態では、データ読出時の参照電圧を供給するための参照ビット線B L r を 2 本備える構成としたが、2 本に限定されるものではなく、複数本の参照ビット線B L r を備えた構成とすることができる。

【 0 0 2 3 】

フラッシュメモリは、さらに、アドレス信号によって示されるコラムアドレスC A に応じて、メモリブロック 1 0 における列選択を実行するコラムデコーダ 7 0 と、アドレス信号によって示されるロウアドレスR A に応じて、メモリブロック 1 0 における行選択を実行するロウデコーダ（図示せず）と、フラッシュメモリの動作タイミングを制御するタイミング制御回路 8 0 とを備える。

【 0 0 2 4 】

フラッシュメモリは、さらに、メモリブロック 1 0 から選択ビット線B L の電位を伝達するデータバス線B D と、データ読出時の参照電圧となる参照ブロック 2 0 からの選択参照ビット線B L r の電位を伝達する参照データバス線B D r e f と、データバス線B D と参照データバス線B D r e f との間の電位差を差動増幅するセンスアンプ 5 0 と、センスアンプ 5 0 の出力データを外部端子D Q に出力するための出力バッファ 6 0 とを備える。

【 0 0 2 5 】

メモリブロック 1 0 とデータバス線B D との間には、コラムアドレスC A のデコード結果である列選択信号S E L 0 - S E L 3 に応じて、4 本のビット線B L 0 - B L 4 のうちの 1 本を選択状態に活性化し、選択ビット線B L の電位をデータバス線B D へと伝達するためのマルチプレクサ 3 0 が配される。

【 0 0 2 6 】

同様に、参照メモリブロック 2 0 と参照データバス線B D r e f との間には、コラムアドレスC A の下位アドレスのデコード結果である参照列選択信号S E L r e f 0 - S E L r e f 1 に応じて、2 本の参照ビット線B L r のうち 1 本を選択状態に活性化し、選択参照ビット線B L r の電位を参照データバス線B D r e f へと伝達するためのマルチプレクサ 4 0 が配される。

## 【 0 0 2 7 】

マルチプレクサ 3 0 は、ビット線 B L 0 - B L 3 とデータバス線 B D との間にそれぞれ結合される N チャンネルトランジスタ Q S 0 - Q S 3 と、ビット線 B L 0 - B L 3 と接地電位との間にそれぞれ結合される N チャンネルトランジスタ Q R 0 - Q R 3 とを含む。

## 【 0 0 2 8 】

なお、以下において、N チャンネルトランジスタ Q S 0 - Q S 3, Q R 0 - Q R 3 を総括して表現する場合には、符号 Q S, Q R をそれぞれ用いて表記することとする。

## 【 0 0 2 9 】

各 N チャンネルトランジスタ Q S 0 - Q S 3 は、ゲートに列選択信号 S E L 0 - S E L 3 が入力される。列選択信号 S E L 0 - S E L 3 は、コラムアドレス C A のデコード結果に応答して、いずれか 1 つが選択されて H (論理ハイ) レベルに活性化される信号である。したがって、列選択信号 S E L 0 - S E L 3 のうちいずれか 1 つが活性化されると、対応する N チャンネルトランジスタ Q S がオンし、対応するビット線 B L とデータバス線 B D とを電氣的に結合する。これによって、選択ビット線 B L の電位がデータバス線 B D へと伝達される。

## 【 0 0 3 0 】

各 N チャンネルトランジスタ Q R 0 - Q R 3 は、ゲートにリセット信号 R S T 0 - R S T 3 が入力される。リセット信号 R S T 0 - R S T 3 は、フラッシュメモリのスタンバイ期間において活性状態 (H レベル) を示し、アクセス期間において、コラムアドレス C A に応じて対応するビット線 B L が選択状態に活性化されると、L (論理ロー) レベルに非活性化される信号である。リセット信号 R S T の活性/非活性については、タイミング制御回路 8 0 において制御される。

## 【 0 0 3 1 】

したがって、フラッシュメモリがスタンバイ期間にあって、リセット信号 R S T 0 - R S T 3 がいずれも H レベルのときには、N チャンネルトランジスタ Q R はオンし、対応するビット線 B L を接地電位に駆動する。この結果、ビット線 B L は、接地電位にプリチャージされる。

## 【 0 0 3 2 】

なお、本実施の形態では、ビット線  $BL$  のプリチャージ電位を接地電位としたが、接地電位に限定されず、所定の電位に設定可能である。

## 【 0 0 3 3 】

一方、フラッシュメモリがアクセス期間にあって、コラムアドレス  $CA$  に応じて 1 本のビット線  $BL$  が選択状態に活性化されたときには、対応するリセット信号  $RST$  が非活性化されたことに応答して、対応する  $N$  チャンネルトランジスタ  $QR$  がオフ状態となり、選択ビット線  $BL$  へのプリチャージが停止される。

## 【 0 0 3 4 】

したがって、選択ビット線  $BL$  の電位は、プリチャージ電圧である接地電位から対応するメモリセル  $MC$  の記憶データレベルへと駆動される。

## 【 0 0 3 5 】

以上をまとめると、ビット線  $BL$  は、スタンバイ期間においては、いずれも接地電位にプリチャージされている状態にあり、かつデータバス線  $BD$  とは電氣的に分離されている。さらに、アクセス期間となり、コラムアドレス  $CA$  に応じて 1 本のビット線  $BL$  が選択状態に活性化されると、選択ビット線  $BL$  とデータバス線  $BD$  とは電氣的に結合される。これにより、対応するメモリセル  $MC$  のビット線  $BL$  への読出電位がデータバス線  $BD$  へと伝達される。なお、非選択ビット線  $BL$  については、いずれもプリチャージ状態であり、接地電位に保持されている。

## 【 0 0 3 6 】

マルチプレクサ 40 は、参照ビット線  $BLr0 - BLr1$  と参照データバス線  $BDref$  との間にそれぞれ結合される  $N$  チャンネルトランジスタ  $QSr0 - QSr1$  と、参照ビット線  $BLr0 - BLr1$  と接地電位との間にそれぞれ結合される  $N$  チャンネルトランジスタ  $QRr0 - QRr1$  とを含む。

## 【 0 0 3 7 】

なお、以下において、 $N$  チャンネルトランジスタ  $QSr0 - QSr1$ 、 $QRr0 - QRr1$  を総括して表現する場合には、符号  $QSr$ 、 $QRr$  をそれぞれ用いて表記することとする。

## 【 0 0 3 8 】

各NチャンネルトランジスタQ S r 0 - Q S r 1は、ゲートに参照列選択信号S E L r e f 0 - S E L r e f 1が入力される。参照列選択信号S E L r e f 0 - S E L r e f 1は、コラムアドレスCAの最下位アドレスCA<0>のデコード結果に応答して、いずれか1つが選択されてH（論理ハイ）レベルに活性化される信号である。すなわち、最下位アドレスCA<0>が0の場合には、内部では、デコーダ90において「偶数」を示すデコード結果として、Hレベルに活性化された参照列選択信号S E L r e f 0が出力される。一方、最下位アドレスCA<0>が1の場合には、デコーダ90において「奇数」を示すデコード結果として、Hレベルに活性化された参照列選択信号S E L r e f 1が出力される。

## 【 0 0 3 9 】

したがって、参照列選択信号S E L r e f 0が活性化されると、対応するNチャンネルトランジスタQ S r 0がオンし、対応する参照ビット線B L r 0と参照データバス線B D r e fとを電氣的に結合する。これによって、選択参照ビット線B L r 0の電位が参照データバス線B D r e fへと伝達される。

## 【 0 0 4 0 】

一方、参照列選択信号S E L r e f 1が活性化されると、対応するNチャンネルトランジスタQ S r 1がオンし、対応する参照ビット線B L r 1と参照データバス線B D r e fとを電氣的に結合する。これによって、選択参照ビット線B L r 1の電位が参照データバス線B D r e fへと伝達される。

## 【 0 0 4 1 】

各NチャンネルトランジスタQ R r 0 - Q R r 1は、ゲートに参照リセット信号R S T r e f 0 - R S T r e f 1が入力される。参照リセット信号R S T r e f 0 - R S T r e f 1は、フラッシュメモリのスタンバイ期間において活性状態（Hレベル）を示し、アクセス期間において、コラムアドレスCAの最下位アドレスCA<0>に応じて、対応する参照ビット線B L rが選択状態に活性化されると、Lレベルに非活性化される信号である。参照リセット信号R S T r e fの活性／非活性のタイミングは、リセット信号R S Tに同期するように、タイミング制御回路80において制御される。

## 【 0 0 4 2 】

したがって、フラッシュメモリがスタンバイ期間にあって、リセット信号  $RS\ Tre f 0 - RS\ Tre f 1$  がいずれもHレベルのときには、Nチャネルトランジスタ  $QR_r$  はオンし、対応する参照ビット線  $BL_r$  と接地電位とを結合する。この結果、参照ビット線  $BL_r$  は、接地電位にプリチャージされる。

## 【 0 0 4 3 】

一方、フラッシュメモリがアクセス期間にあって、コラムアドレス  $CA$  の最下位アドレスに応じて、1本の参照ビット線  $BL_r$  が選択状態に活性化されたときには、対応するリセット信号  $RS\ Tre f$  が非活性化される。このため、対応するNチャネルトランジスタ  $QR$  がオフ状態となり、参照ビット線  $BL_r$  へのプリチャージが停止される。

## 【 0 0 4 4 】

このとき、非選択状態にある他方の参照ビット線  $BL_r$  は、活性状態にある参照リセット信号  $RS\ Tre f$  に応じてNチャネルトランジスタ  $Q_r$  がオンし、接地電位にプリチャージされる。

## 【 0 0 4 5 】

以上をまとめると、参照ビット線  $BL_r 0 - BL_r 1$  は、スタンバイ期間においては、いずれも接地電位にプリチャージされている状態にあり、かつ参照データバス線  $BD\ re f$  とは電氣的に分離されている。さらに、アクセス期間となり、コラムアドレス  $CA$  の最下位アドレスに応じて1本の参照ビット線  $BL_r$  が選択状態に活性化されると、選択参照ビット線  $BL_r$  と参照データバス線  $BD\ re f$  とは電氣的に結合される。これにより、対応する参照メモリセル  $MC_r$  に接続される参照ビット線  $BL_r$  の電位は、参照データバス線  $BD\ re f$  へと伝達される。参照データバス  $BD\ re f$  に伝達された電位は、センスアンプ 50 に入力されると、センス動作における参照電位となる。

## 【 0 0 4 6 】

ここで、非選択状態にある他方の参照ビット線  $BL_r$  については、アクセス期間においても、プリチャージ状態のままであって接地電位に保持される。したがって、次のアクセス期間において、この非選択参照ビット線  $BL_r$  を選択状態に

活性化すれば、プリチャージ時間を待つことなく連続的にデータ読出を実行することができる。このことは、複数のメモリセルから連続してデータを読出す場合において、参照ビット線  $BL_r$  のプリチャージ時間をアクセス期間内に隠すことができることから、実質的にデータ転送レート的高速化が実現される。

【0047】

図2は、コラムデコーダ70、タイミング制御回路80およびデコーダ90からそれぞれ出力される列選択信号  $SEL$ 、リセット信号  $RST$ 、参照列選択信号  $SEL_{ref}$  および参照リセット信号  $RST_{ref}$  のタイミングチャートである。

【0048】

列選択信号  $SEL$  は、コラムアドレス  $CA$  のデコード結果として、コラムデコーダ70から内部クロック信号に同期して出力される。図2に示すように、例えば、コラムアドレス  $CA$  に応じて、ビット線  $BL_0 \rightarrow BL_1 \rightarrow BL_2 \rightarrow BL_3$  の順に選択されるときには、列選択信号  $SEL$  は、 $SEL_0 \rightarrow SEL_1 \rightarrow SEL_2 \rightarrow SEL_3$  の順にHレベルに活性化される。

【0049】

一方で、タイミング制御回路80から出力されるリセット信号  $RST$  は、対応するビット線  $BL$  が非選択時にはHレベルに活性化され、選択時にはLレベルに非活性化される信号である。したがって、列選択信号  $SEL_0 - SEL_3$  が順に活性化される場合は、リセット信号  $RST$  は、対応する列選択信号  $SEL$  の活性化のタイミングに同期して、 $RST_0 \rightarrow RST_1 \rightarrow RST_2 \rightarrow RST_3$  の順にLレベルに非活性化される。

【0050】

以上のことから、ビット線  $BL$  が  $BL_0 \rightarrow BL_1 \rightarrow BL_2 \rightarrow BL_3$  の順に選択されるときには、対応する列選択信号  $SEL$  が順次活性化されて、選択ビット線の電位をデータバス線  $BD$  へと伝達する。同時に、対応するリセット信号  $RST$  が順次非活性化されて、対応するビット線  $BL$  へのプリチャージを停止する。

【0051】

さらに、選択ビット線  $BL$  のアクセス期間が終了すると、対応する列選択信号



S E L が非活性化されるとともに、対応するリセット信号 R S T が活性化されて、対応するビット線 B L のプリチャージ期間に移行する。

【 0 0 5 2 】

メモリブロック 1 0 の列選択が行なわれるのに同期して、参照メモリブロック 2 0 においては、図 2 に示す参照列選択信号 S E L r e f および参照リセット信号 R S T r e f に基づいて列選択が行なわれる。

【 0 0 5 3 】

参照列選択信号 S E L r e f は、コラムアドレス C A の最下位アドレス C A < 0 > がデコードされて生成される信号であり、先述のように、最下位アドレス C A < 0 > が 0 のとき、すなわち、偶数アドレスがアクセス対象に指定されたときには、S E L r e f 0 が選択されて H レベルに活性化される。一方、最下位アドレス C A < 0 > が 1 のとき、すなわち、奇数アドレスがアクセス対象に指定されたときには、S E L r e f 1 が選択されて H レベルに活性化される。

【 0 0 5 4 】

したがって、図 2 のように、メモリブロック 1 0 が偶数アドレス、奇数アドレスの順にアクセスされるときには、参照列選択信号 S E L r e f は、S E L r e f 0 → S E L r e f 1 → S E L r e f 0 → S E L r e f 1 . . . の順に活性化されることとなる。

【 0 0 5 5 】

このため、対応する参照ビット線 B L r 0 , B L r 1 は交互に選択されて活性化され、参照データバス線 B D r e f に参照セル M C r e f の記憶データに対応する電位を伝達することとなる。

【 0 0 5 6 】

したがって、偶数アドレスがアクセス対象に指定されたときには、選択メモリセル M C が接続されるビット線 B L の電位がデータバス線 B D に伝達されるとともに、選択参照メモリセル M C r が接続される参照ビット線 B L r 0 の電位が参照データバス線 B D r e f に伝達される。センスアンプ 5 0 は、データバス線 B D と参照データバス線 B D r e f との間の電位差を差動増幅し、読出データを外部端子 D Q を介して出力する。

【0057】

一方、偶数アドレスに応じて参照ビット線BLr0が選択されて活性化するのに並行して、非選択状態の参照ビット線BLr1は、Hレベルの参照リセット信号RSTrefに応答して、接地電位にプリチャージされる。

【0058】

このため、偶数アドレスのアクセスに連続して奇数アドレスがアクセス対象に指定された場合であっても、参照ビット線BLr1は既にプリチャージを終えていることから、直ちにデータ読出動作を実行することができる。

【0059】

同様に、奇数アドレスに応じて参照ビット線BLr1が選択されて活性化している間には、非選択状態にある参照ビット線BLr0が接地電位にプリチャージされる。したがって、奇数アドレスのアクセスに連続して偶数アドレスがアクセス対象に指定された場合であっても、参照ビット線BLr0は、プリチャージ時間を要することなく直ちにアクセス期間に入ることができる。

【0060】

このことは、実質的にプリチャージ時間がアクセス期間に隠されたことに等しく、サイクル期間を最大1/2に短縮することができる。

【0061】

以上のように、この発明の実施の形態1に従えば、センスアンプに参照電圧を供給するための参照ビット線を複数本備え、コラムアドレスに応じて順次選択してデータ読出を実行する一方で、選択された参照ビット線のアクセス期間において、非選択参照ビット線をプリチャージする構成とすることにより、アクセス期間の前後にプリチャージ時間を要することなく、連続したデータ読出を高速に行なうことができる。

【0062】

〔実施の形態1の変更例1〕

図3は、この発明の実施の形態1の変更例1に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【0063】

図 3 を参照して、本変更例に従うフラッシュメモリの基本的な構成は、図 1 の実施の形態 1 のフラッシュメモリと共通するが、参照メモリブロック 2 0 において、参照メモリセル MC r の各メモリセル行に対応して設けられる参照ワード線 WL r e f として、メモリブロック 1 0 の各メモリセル行に対応して配されたワード線 WL を共有する構成とした点で相違する。なお、図 1 のフラッシュメモリと共通する部分についての詳細な説明は省略する。

【 0 0 6 4 】

したがって、参照メモリセル MC r は、ワード線 WL の活性化に応答して、メモリセル MC と同時にコントロールゲートの所定電圧が印加されて、参照ビット線 BL r に記憶データに対応する電位を駆動することとなる。

【 0 0 6 5 】

本変更例に従うフラッシュメモリは、ワード線 WL をメモリセル MC と参照メモリセル MC r とで共有する構成とすることにより、正規のメモリセル MC のパターンの規則性を踏襲して、参照メモリブロック 2 0 をメモリブロック 1 0 内に形成することができることから、製造工程を簡略化できる点で有効である。

【 0 0 6 6 】

なお、本構成においても、列選択動作は先の実施の形態 1 と同様であり、アクセス期間において、コラムアドレス CA に応じて参照ビット線 BL r のうちの 1 本が選択されるのに並行して、非選択の参照ビット線 BL r のプリチャージが行なわれることから、連続したデータ読出においても、データ転送レートの高速度が実現されることとなる。

【 0 0 6 7 】

〔実施の形態 1 の変更例 2〕

図 4 は、この発明の実施の形態 1 の変更例 2 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【 0 0 6 8 】

図 4 を参照して、本変更例に従うフラッシュメモリの基本的な構成は、図 1 に示す実施の形態 1 のフラッシュメモリと共通するが、参照メモリブロック 2 0 を複数のメモリブロックで共有する構成とした点で相違する。

## 【 0 0 6 9 】

本変更例では、参照メモリブロック 2 0 は、行方向に上下に隣接して配設されたメモリブロック 1 0, 1 1 で共有する場合を例として説明する。なお、図 1 と共通する部分については、重複した説明は省略する。

## 【 0 0 7 0 】

本変更例のフラッシュメモリは、行列状に配される複数のメモリセル MC を有するメモリブロック 1 0, 1 1 を有する。各メモリセル行に対応するワード線 WL は、図 4 に示すように、メモリブロック 1 0, 1 1 および参照メモリブロック 2 0 上を延在して配設される。例えば、ワード線 WL 0 には、メモリブロック 1 0, 1 1 内の複数のメモリセル MC と参照メモリセル MC<sub>r</sub> とが接続される。

## 【 0 0 7 1 】

ワード線 WL において、メモリブロック 1 0 と参照メモリブロック 2 0 との間およびメモリブロック 1 1 と参照メモリブロック 2 0 との間には、それぞれ、接続トランジスタとしての N チャネルトランジスタ Q<sub>A</sub>, Q<sub>B</sub> が結合される。

## 【 0 0 7 2 】

N チャネルトランジスタ Q<sub>A</sub>, Q<sub>B</sub> は、ゲートに入力されるメモリブロック選択信号 MSEL<sub>A</sub>, MSEL<sub>B</sub> の活性／非活性に応答して、メモリブロック 1 0, 1 1 と参照メモリブロック 2 0 とを結合／分離する。

## 【 0 0 7 3 】

メモリブロック選択信号 MSEL<sub>A</sub>, MSEL<sub>B</sub> は、アクセス対象となるメモリセル MC を指定するアドレス信号に基づいて、参照メモリブロック 2 0 と選択メモリブロックとを電氣的に結合させるための信号である。したがって、例えば、メモリブロック 1 0 内のメモリセル MC がアクセス対象に指定されたときには、メモリブロック選択信号 MSEL<sub>A</sub> が選択されて活性状態となる。

## 【 0 0 7 4 】

H レベルとなったメモリブロック選択信号 SEL<sub>A</sub> に応答して、N チャネルトランジスタ Q<sub>A</sub> がオンすると、メモリブロック 1 0 と参照メモリブロック 2 0 とがワード線 WL 0 によって結合される。これによって、選択ワード線 WL 0 の印加電圧に応じて選択ビット線 BL および選択参照ビット線 BL<sub>r</sub> に駆動された電

位は、それぞれマルチプレクサ 3 0, 4 0 を介してデータバス線 B D, 参照データバス線 B D r e f へと伝達されて、センスアンプ 5 0 にてその電位差が差動増幅される。センスアンプ 5 0 からは、読出データが出力される。

【 0 0 7 5 】

同様に、メモリブロック 1 1 内のメモリセル M C がアクセス対象に指定されたときには、メモリブロック選択信号 M S E L B が選択されて活性状態となる。これによって、Nチャネルトランジスタ Q B がオンすると、メモリブロック 1 1 と参照メモリブロック 2 0 とがワード線 W L 0 によって結合される。その結果、選択ワード線 W L 0 の印加電圧に応じて選択ビット線 B L および選択参照ビット線 B L r に駆動された電位は、それぞれマルチプレクサ 3 1, 4 0 を介してデータバス線 B D, 参照データバス線 B D r e f へと伝達される。さらに、センスアンプ 5 0 においてその電位差が差動増幅され、読出データが出力される。

【 0 0 7 6 】

本変更例では、参照メモリブロック 2 0 を 2 個のメモリブロック 1 0, 1 1 で共有する構成としたが、メモリブロックごとに参照メモリセルを配する構成と比較して、回路規模の増加を抑えることができる。したがって、高集積化されたフラッシュメモリにおいても、参照ビット線を複数本備えることに伴う回路規模の増大を抑制できるとともに、高速データ転送レートを実現することができる。

【 0 0 7 7 】

なお、参照メモリブロックを共有するメモリブロックの数は、本変更例に示す 2 個のメモリブロックに限定されず、2 個以上のメモリブロックにおいても適用可能である。このときは、ワード線 W L 上に共有するメモリブロックに対応する数の接続トランジスタを結合し、アドレス信号に応じて 1 のメモリブロック選択信号を活性化する構成とすればよい。

【 0 0 7 8 】

〔実施の形態 2〕

図 5 は、この発明の実施の形態 2 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【 0 0 7 9 】

図 5 を参照して、フラッシュメモリは、図 1 に示す実施の形態 1 のフラッシュメモリと同様の回路構成からなる。本実施の形態では、このフラッシュメモリにおいて、読出サイクルごとにデータを連続的に出力するバーストモードにてデータ読出を実行する場合について説明する。

#### 【0080】

このバースト読出にあたって、フラッシュメモリに内包される参照メモリセルブロック 20 には、偶数アドレスおよび奇数アドレスに対応する 2 本の参照ビット線 B L r が配される。以下において、奇数アドレスに対応する参照ビット線を B L r O、偶数アドレスに対応する参照ビット線を B L r E とそれぞれ称する。

#### 【0081】

さらに、参照メモリブロック 20 と参照データバス線 B D r e f との間に結合されるマルチプレクサ 40 は、参照ビット線 B L r O、B L r E と参照データバス線 B D r e f との間に結合される N チャンネルトランジスタ Q S r O、Q S r E を含む。N チャンネルトランジスタ Q S r O、Q S r E のゲートには、デコーダ 90 から、コラムアドレス C A のデコード結果である参照列選択信号 S E L r e f O - S E L r e f E がそれぞれ入力される。

#### 【0082】

マルチプレクサ 40 は、さらに、各参照ビット線 B L r と接地電位との間に結合される N チャンネルトランジスタ Q R r O、Q R r E を含む。N チャンネルトランジスタ Q R r O、Q R r E のゲートには、タイミング制御回路 80 からの参照リセット信号 R S T r e f O - R S T r e f E が入力される。

#### 【0083】

なお、参照メモリブロック 20 およびマルチプレクサ 40 の構成以外の他の部位（メモリブロック 10、マルチプレクサ 30 など）の構成については、実施の形態 1 で示したものと同一であるため、詳細な説明は繰り返さない。

#### 【0084】

以上の構成において、最初に、読出命令とともに外部からアドレス信号が入力されると、コラムデコーダ 70 は、バースト長に応じて規定される上位ビットのコラムアドレス C A に応じて、バーストモードの読出が実行される一群のビット

線BLを各メモリブロック10の中から選択する。なお、バースト長とは、連続的に出力されるデータの長さを示す。

## 【0085】

本実施の形態では、バースト長を4とし、メモリブロック10の偶数ビット線2本BL0, BL2および奇数ビット線2本BL1, BL3が選択されるものとする。

## 【0086】

このバースト長4に応じて選択されたビット線BLに対して、下位の2ビットのコラムアドレスCA<1:0>に従って最初にデータが読出される先頭のアドレス（以下、スタートアドレスとも称する）が指定される。以降は、クロック信号に同期して、昇順的に次のアドレスが指定される。すなわち、スタートアドレスが偶数アドレスであれば、昇順的にその次の奇数アドレスも指定される。

## 【0087】

本実施の形態のように、バースト長が4の場合は、コラムアドレスCAの上位ビットに応じてアドレス0#-3#に対応するビット線BL0-BL3が選択される。

## 【0088】

スタートアドレスが0#のときには、アドレス0#のビット線BL0が選択され、昇順的にアドレス1#, 2#, 3#に対応するビット線BL1, BL2, BL3の読出データが順番に出力バッファ60から出力される。

## 【0089】

このようなバースト読出においては、コラムアドレスCAに基づいてスタートアドレスが指定されれば、後は昇順的に次のアドレスが指定されることから、偶数アドレスと奇数アドレスとに対応するビット線BLが順番に選択され、データ読出が行なわれる。

## 【0090】

このことは、参照ビット線BLrにおいても、偶数アドレスに対応する参照ビット線BLrEと奇数アドレスに対応する参照ビット線BLrOとが順番に選択されることを意味する。

## 【0091】

したがって、スタートアドレスが0#に指定されれば、対応するビット線BL0および参照ビット線BLrEが選択状態に駆動されるのに並行して、ビット線BL1および参照ビット線BLrOは同電位（本実施の形態では接地電位に相当）にプリチャージすることができる。このため、スタートアドレス0#のセンス終了後において、直ちにアドレス1#のセンス動作を開始することができ、データ転送レートが向上される。

## 【0092】

なお、本実施の形態では、バースト長を4とし、コラムアドレスCAの下位2ビットで指定されるスタートアドレスを起点として、ビット線BL0-BL3が昇順的に選択される構成としたが、バースト長およびスタートアドレスを変更した場合においても、同様の効果を得ることができる。

## 【0093】

例えば、バースト長が8の場合には、下位ビットのコラムアドレス $CA < 2 : 0 >$ に応じてスタートアドレスが指定されると、昇順的に指定される偶数番目のアドレスおよび奇数番目のアドレスに応じて、奇数側の参照ビット線BLrO、偶数側の参照ビット線BLrEを交互にプリチャージする構成とすればよい。

## 【0094】

以上のように、この発明の実施の形態2に従えば、連続的にデータを読み出すバーストモードにおいて、スタートアドレスを起点として、偶数アドレスに対応する参照ビット線と奇数アドレスに対応する参照ビット線とが交互にアクセスとなる期間において、非選択状態の参照ビット線を相補的にプリチャージすることによって、読出サイクルタイムを最大1/2に短縮でき、高速データ転送レートを実現することができる。

## 【0095】

## 〔実施の形態3〕

以上の実施の形態1、2のフラッシュメモリにおいては、高集積化に伴って1本のビット線BLに接続されるメモリセルMCの数が増えた場合、ビット線BLのプリチャージ時間のサイクルタイムに占める割合が大きくなることから、デ



ータ転送レート的高速化が制限されてしまうという問題が起こり得る。

【0096】

そこで、本実施の形態では、高い集積度においても、ビット線BLのプリチャージ時間に影響されず、高速にデータ読出を行なうことができるフラッシュメモリを提案する。

【0097】

図6は、この発明の実施の形態3に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【0098】

図6を参照して、フラッシュメモリは、行列上に配置された複数のメモリセルMCを有するメモリブロック10と、複数の参照メモリセルMC<sub>r</sub>を有する参照メモリブロック21と、メモリブロック10内の選択メモリセルMCに接続されるビット線BLの電位を伝達するデータバス線BDと、参照メモリブロック21内の選択参照メモリセルMC<sub>r</sub>に接続される参照ビット線BL<sub>r</sub>の電位を伝達する参照データバス線BD<sub>ref</sub>と、データバス線BDと参照データバス線BD<sub>ref</sub>との間の電位差の差動増幅を行なうセンスアンプ50と、センスアンプ50の出力する読出データを外部端子DQに出力するための出力バッファ60とを備える。

【0099】

フラッシュメモリは、さらに、コラムアドレスCAのデコード結果としての列選択信号SELをコラムデコーダ70から受けて、対応するビット線BLとデータバス線BDとを電氣的に結合するためのマルチプレクサ30を有する。

【0100】

また、コラムアドレスCAの下位アドレスのデコード結果としての参照列選択信号SEL<sub>ref</sub>をデコーダ90から受けて、対応する参照ビット線BL<sub>r</sub>と参照データバス線BD<sub>ref</sub>とを電氣的に結合するための参照マルチプレクサ41を備える。

【0101】

以上の構成は、先述の実施の形態1のフラッシュメモリと同様である。したが

って、各部位の構成および動作についての詳細な説明は省略する。

#### 【0102】

ここで、本実施の形態のフラッシュメモリは、高い集積度に対応して、参照メモリブロック21と参照マルチプレクサ41において、参照メモリセルMC<sub>r</sub>に対応する参照ビット線BL<sub>r</sub>の本数を2本から4本に増加し、これに伴って、参照列選択信号SEL<sub>ref</sub>および参照リセット信号RST<sub>ref</sub>の信号数をそれぞれ4つに増やす構成を採用する。この点において、2本の参照ビット線BL<sub>r</sub>を備え、2分の1の選択確率で活性化する実施の形態1の参照メモリブロック20およびマルチプレクサ40とは相違する。

#### 【0103】

具体的には、参照メモリブロック21は、各参照メモリセル列に対応して4本の参照ビット線BL<sub>r0</sub> - BL<sub>r3</sub>を有し、各参照ビット線BL<sub>r</sub>には、複数の参照メモリセルMC<sub>r</sub>が接続される。

#### 【0104】

したがって、メモリセルMCがアクセス対象に指定されるのに同期して、参照メモリセルMC<sub>r</sub>が同時にアクセス対象に指定されると、4本の参照ビット線BL<sub>r0</sub> - BL<sub>r3</sub>の中から、対応する1本の参照ビット線BL<sub>r</sub>が選択状態に駆動されることとなる。

#### 【0105】

参照マルチプレクサ41は、参照ビット線BL<sub>r0</sub> - BL<sub>r3</sub>と参照データバス線BD<sub>ref</sub>との間にそれぞれ結合されるNチャネルトランジスタQS<sub>r0</sub> - QS<sub>r3</sub>と、参照ビット線BL<sub>r0</sub> - BL<sub>r3</sub>と接地電位との間にそれぞれ接続されるNチャネルトランジスタQR<sub>r0</sub> - QR<sub>r3</sub>とを含む。

#### 【0106】

NチャネルトランジスタQS<sub>r0</sub> - QS<sub>r3</sub>は、デコーダ90からの参照列選択信号SEL<sub>ref0</sub> - SEL<sub>ref3</sub>の活性／非活性に応答してオン／オフし、対応する参照ビット線BL<sub>r</sub>と参照データバス線BD<sub>ref</sub>とを結合する。

#### 【0107】

NチャネルトランジスタQR<sub>r0</sub> - QR<sub>r3</sub>は、タイミング制御回路80から

の参照リセット信号  $RSTref0 - RSTref3$  の活性／非活性に応答してオン／オフし、対応する参照ビット線  $BLr$  とプリチャージ電位である接地電位とを結合する。

#### 【0108】

以上の構成からなる本実施の形態のフラッシュメモリにおいて実行されるデータ読出動作について説明する。

#### 【0109】

データアクセス時において、選択されたメモリセル行に対応するワード線  $WL_i$  ( $i$  は 0 以上  $n$  以下の整数) と参照ワード線  $WLref_i$  とが同時に選択状態に駆動されるものとする。選択ワード線  $WL_i$  と選択参照ワード線  $WLref_i$  とを介して、メモリセル  $MC$  および参照メモリセル  $MCr$  のトランジスタのコントロールゲートには、所定の電圧が印加される。

#### 【0110】

このとき、フローティングゲートに対するエレクトロンの注入の有無に応じて、メモリセル  $MC$  のトランジスタには電流が流れなかったり流れたりする。この電流によって生じる選択ビット線  $BL$  (例えば、 $BL0$  とする) の電位は、マルチプレクサ 30 を介してデータバス線  $BD$  に伝達される。

#### 【0111】

同様に、参照メモリセル  $MCr$  のトランジスタを流れる電流によって選択参照ビット線  $BLr0$  に生じた電位は、参照マルチプレクサ 41 を介して参照データバス線  $BDref$  に伝達される。

#### 【0112】

このデータバス線  $BD$  と参照データバス線  $BDref$  の電位差をセンスアンプ 50 で検知することによって、メモリセル  $MC$  の記憶データが読出される。

#### 【0113】

以上のデータ読出動作に並行して、非選択のビット線  $BL1 - BL3$  および非選択の参照ビット線  $BLr1 - BLr3$  は、それぞれ、マルチプレクサ 30 および参照マルチプレクサ 41 に入力される H レベルのリセット信号  $RST1 - RST3$  および参照リセット信号  $RSTref1 - RSTref3$  に応答して、同電

位（本実施の形態では接地電位）にプリチャージされる。

【0114】

したがって、連続的に次のコラムアドレスCAによってビット線BL1が選択される場合であっても、選択される参照ビット線BLr1は、既にプリチャージを終えていることから、直ちにセンス動作を実行することができる。

【0115】

続いて、さらに次のコラムアドレスCAによってビット線BL2が選択されても、対応する参照ビット線BLr2は、プリチャージを終えていることから、直ちにセンス動作を実行することができる。

【0116】

このように、本実施の形態のフラッシュメモリは、4本の参照用ビット線BLr0-BLr3を備え、連続する4回のアクセス期間のうちの1回のアクセス期間において選択状態に駆動され、残りの3回のアクセス期間においては、プリチャージ動作を行なう。したがって、高集積化に伴って多数のメモリセルがビット線に接続される構成となっても、十分なプリチャージ時間を確保できることから、連続したデータ読出を高速に実行することができる。

【0117】

なお、本実施の形態に従うフラッシュメモリのプリチャージ時間は、参照ビット線が単数である従来のフラッシュメモリのプリチャージ時間に比べて、実質的に最大4分の1に短縮されることから、サイクルタイムの大幅な短縮を図ることができる。

【0118】

以上のように、この発明の実施の形態に従えば、参照ビット線を複数本備え、1本の参照ビット線が選択されるアクセス期間において、残りの参照ビット線をプリチャージする構成とすることにより、集積度の向上がもたらすプリチャージ時間の増加を抑えることができ、さらなるデータ転送レートの高速化を図ることができる。

【0119】

〔実施の形態4〕

以上の実施の形態 1 ～ 3 に係るフラッシュメモリは、センスアンプに接続されるデータバス線 B D と参照データバス線 B D r e f との間の電位差を差動増幅してデータを読み出すという相補型のセンス方式を採用していた。なお、以下において、相補型のセンス方式で用いるセンスアンプをデュアルセンスアンプとも称する。

#### 【 0 1 2 0 】

しかしながら、本方式では、差動増幅するためにセンス速度が速いというメリットがあるものの、デュアルセンスアンプごとに参照データバス線 B D r e f が配されることから、データ転送の高速化によって同時に動作するセンスアンプの数が増えた場合には、センスアンプの数に相当するだけの参照データバス線 B D r e f が必要となり、エリアペナルティが大きくなってしまう。

#### 【 0 1 2 1 】

一方で、センス方式には、上記の相補型のセンス方式以外に、シングルエンドのセンス方式がある。シングルエンドのセンス方式とは、データバス線に駆動された電位を所定電位と比較してデータを識別する方式である。本方式は、相補型のセンス方式に比べてセンス速度が遅いという欠点があるものの、参照データバス線 B D r e f を必要としないことから、回路規模が小さくできるという点で有効である。なお、以下において、シングルエンドのセンス方式で用いるセンスアンプをシングルセンスアンプとも称する。

#### 【 0 1 2 2 】

そこで、以下の実施の形態では、上記の 2 つのセンス方式を用いた、高速データ転送対応のフラッシュメモリの構成について説明する。なお、前提として、本実施の形態のフラッシュメモリが有する外部端子 D Q の総数は、16 ピンであるとする。

#### 【 0 1 2 3 】

図 7 は、この発明の実施の形態 4 に従うフラッシュメモリにおけるデータ読出に関連する部分の構成の一例を模式的に示す図である。

#### 【 0 1 2 4 】

図 7 を参照して、フラッシュメモリは、図示しない各メモリブロックからの読

出電位を伝達するデータバス線BD0～BD63（計64本）と、参照データバス線BDref0～BDref15（計16本）と、データバス線BDおよび参照データバス線BDrefが結合されるセンスアンプ帯53とを含む。

## 【0125】

センスアンプ帯53は、データバス線BDと参照データバス線BDrefとの間の電位差を差動増幅する16個のデュアルセンスアンプ51と、データバス線BDの電位をシングルエンド出力する48個のシングルセンスアンプ52とからなる。

## 【0126】

デュアルセンスアンプ51は、図7中に斜線領域で示すように、センスアンプ帯53中に4分割されて、各領域において4個ずつ配置される。デュアルセンスアンプ51が配される各領域には、4本のデータバス線BD0-3, BD4-7, BD8-11, BD12-15がそれぞれ結合される。なお、以下において、デュアルセンスアンプ51に結合されるデータバス線BDを総称して、デュアルセンス用のデータバス線とも称する。

## 【0127】

同時に、デュアルセンスアンプ51の各領域には、対応する4本の参照データバス線BDref0-3, BDref4-7, BDref8-11, BDref12-15がそれぞれ結合される。なお、以下において、シングルセンスアンプ52に結合されるデータバス線BDを総称して、シングルセンス用のデータバス線とも称する。

## 【0128】

このように、デュアルセンスアンプ51の領域は、デュアルセンス用のデータバス線BD0-15と参照データバス線BDref0-15とがそれぞれ結合される16個のデュアルセンスアンプで構成される。

## 【0129】

一方、シングルセンスアンプ52は、センスアンプ帯53中に4分割されて配置され、それぞれ12本のデータバス線BD16-27, BD28-39, BD40-51, BD52-63が結合される。したがって、図7のシングルセンス

アンプ 5 2 の各領域は、1 2 個のシングルセンスアンプで構成される。

【0 1 3 0】

ここで、以上の構成からなるセンスアンプ帯 5 3 を内包するフラッシュメモリにおいて、6 4 ビットのデータを読出す場合を考える。

【0 1 3 1】

このときは、外部端子 D Q の総数が 1 6 ピンであることから、6 4 ビットのデータの読出は、1 6 ビットのデータを 4 回連続して転送する方式で行なわれる。したがって、高速にデータ読出を行なうためには、必ずしも 6 4 ビットを同時にセンスする必要はなく、先頭の 1 6 ビットのみを高速に読出してやればよい。

【0 1 3 2】

そこで、先頭の 1 6 ビットのデータ読出については、先述の相補型のセンス方式の高速性を鑑みて、デュアルセンスアンプを用いて行なえばよいことが判断される。

【0 1 3 3】

図 7 では、デュアルセンス用のデータバス線 B D 0 - 3 , B D 4 - 7 , B D 8 - 1 1 , B D 1 2 - 1 5 に駆動された読出電位がデュアルセンスアンプ 5 1 にてセンスされることとなる。センス動作にあたっては、参照データバス線 B D r e f 0 - 3 , B D r e f 4 - 7 , B D r e f 8 - 1 1 , B D r e f 1 2 - 1 5 との間の電位差が差動増幅される。

【0 1 3 4】

一方、後続する 4 8 ビットのデータ読出については、先頭の 1 6 ビットよりも高速性が要求されないことから、シングルエンドのセンス方式にて行なえばよい。

【0 1 3 5】

図 7 では、シングルセンス用のデータバス線 B D 1 6 - 2 7 , B D 2 8 - 3 9 , B D 4 0 - 5 1 , B D 5 2 - 6 3 に駆動された読出電位がシングルセンスアンプ 5 2 にてセンスされる。

【0 1 3 6】

このように読出速度の観点から 2 つのセンスアンプを選択してデータ読出を行

なう場合、本実施の形態のフラッシュメモリには、16個のデュアルセンスアンプおよび48個のシングルセンスアンプが搭載されることとなる。この場合のデータ読出に要する参照データバス線B D r e fの本数は、16個のデュアルセンスアンプ51に対応して16本あればよい。

【0137】

一方、64ビットのデータ読出を相補型のセンス方式のみで行なうこととすると、参照ビット線は、読出ビット数に相当する64本が必要とされる。

【0138】

すなわち、本実施の形態のセンスアンプの構成とすることにより、配設する参照ビット線の本数を大幅に削減できることから、読出動作の高速性を損なうことなく、回路面積の増大を抑えることができる。

【0139】

以上のように、実施の形態4に従えば、相補型のセンス方式とシングルエンドのセンス方式とを用いて連続的にデータ読出を行なう構成とすることにより、データ読出の高速性を損なうことなく、回路規模の増大を抑えることができる。

【0140】

また、参照データバス線の本数が削減されたことにより、参照データバス線のプリチャージで消費される電流量も減少することから、低消費電力化を図ることができる。

【0141】

〔実施の形態5〕

ここで、実際の高集積化されたフラッシュメモリにおいては、実施の形態4の図7に示すデータバス線B Dは、複数のメモリブロックまたはメモリバンクで共有されており、外部からのアドレス信号で指定されるコラムアドレスC Aに応じて、1つのメモリブロック内の複数のビット線B Lから1本のビット線B Lが選択されてデータバス線B Dに結合される。

【0142】

かかるフラッシュメモリにおいて、実施の形態4に示したように、複数のデータを連続的に読出するためには、スタートアドレスに対応するビット線B Lを選択



してデュアルセンス用のデータバス線に結合する必要が生じる。

【0143】

そこで、本実施の形態では、実施の形態4のデータ読出を実行するための具体的なフラッシュメモリの構成例について説明する。

【0144】

図8は、この発明の実施の形態5に従うフラッシュメモリの列選択動作に関連する部分を抽出して示す図である。

【0145】

図8を参照して、フラッシュメモリは、4本のデータバス線BD0, BD16-18からなる1組のデータバス線群と、データバス線群を共有する4つのメモリブロック10a-10dとを含む。

【0146】

メモリブロック10a-10dは、それぞれ、図1の実施の形態1のメモリブロック10と同一の構成からなる。メモリブロック10a-10d上には、複数のメモリセルMCの各メモリセル行に対応して、ワード線WL a 0-WL a n, WL b 0-WL b n, WL c 0-WL c n, WL d 0-WL d nがそれぞれ配設される。また、各メモリセル列に対応して、ビット線BL a 0-BL a 3, BL b 0-BL b 3, BL c 0-BL c 3, BL d 0-BL d 3が配設される。なお、以下において、ビット線BL a 0-BL a 3, BL b 0-BL b 3, BL c 0-BL c 3, BL d 0-BL d 3をそれぞれ総称するときには、BL a, BL b, BL c, BL dとも称する。

【0147】

1組のデータバス線群は、実施の形態4で示したように、1本のデュアルセンス用のデータバス線BD0と、3本のシングルセンス用のデータバス線BD16-18とで構成される。

【0148】

このように、1本のデュアルセンス用データバス線BDと3本のシングルセンス用データバス線BDとで構成される1組のデータバス線群によって、連続する4ビットのデータ読出を行なう。なお、図示は省略するが、デュアルセンス用デ

ータバス線BD1とシングルセンス用データバス線BD19-21, デュアルセンス用データバス線BD2とシングルセンス用データバス線BD22-25, . . . デュアルセンス用データバス線BD15とシングルセンス用データバス線BD61-63は、それぞれ1組のデータバス線群を構成する。すなわち、データバス線BDは、計16組のデータバス線群で構成され、64ビットのデータ読出動作を実行する。

#### 【0149】

メモリブロック10a-10dとデータバス線BD0, BD16-18との間には、コラムアドレスCAのデコード結果である列選択信号SELに応じて、列選択を実行するマルチプレクサ30a-30dがそれぞれ配される。

#### 【0150】

マルチプレクサ30a-30dの構成は、実施の形態1と同様であり、列選択信号SEL a 0-3, SEL b 0-3, SEL c 0-3, SEL d 0-3がそれぞれ内包されるNチャネルトランジスタに入力される。これらの列選択信号SELのうち、コラムアドレスCAに応じていずれか1つが活性化されると、対応する1本のビット線BLが選択状態に駆動されて、1ビットの読出電位がデータバス線BDに伝達される。

#### 【0151】

ここで、各メモリブロック10a-10dにおいて、4本のビット線BLから1本のビット線を選択するにあたっては、コラムアドレスCAの2ビットの下位アドレスCA<1:0> (=CA<1>, CA<0>) が図示しないデコーダでデコードされて、デコード結果である列選択信号SEL0-SEL3のいずれか1つがHレベルに活性化される。これによって、対応する1本のビット線BLが選択状態となる。

#### 【0152】

マルチプレクサ30a-30dとデータバス線BD0, BD16-18との間には、さらに、選択ビット線BLの読出電位を1組のデータバス線群のデータバス線BD0, BD16-18のうちのいずれか1本に選択的に結合するための接続スイッチ回路として、NチャネルトランジスタQC a 0-QC a 3, QC b 0

-QC b 3, QC c 0-QC c 3, QC d 0-QC d 3が結合される。なお、以下において、NチャネルトランジスタQC a 0-QC a 3, QC b 0-QC b 3, QC c 0-QC c 3, QC d 0-QC d 3をそれぞれ総称するときには、QC a, QC b, QC c, QC dとも称する。

## 【0153】

例えば、メモリブロック10内のビット線BL aが選択されるときには、選択ビット線BL aは、NチャネルトランジスタQC a 0-QC a 3を介して、データバス線BD 0, BD 16-18にそれぞれ結合される。

## 【0154】

同様に、メモリブロック10 b内のビット線BL bが選択されるときには、選択ビット線BL bは、NチャネルトランジスタQC b 0-QC b 3を介して、データバス線BD 16-BD 18, BD 0に結合される。

## 【0155】

同様に、メモリブロック10 c内のビット線BL cが選択されるときには、選択ビット線BL cは、NチャネルトランジスタQC c 0-QC c 3を介して、データバス線BD 17, BD 18, BD 0, BD 16に結合される。

## 【0156】

同様に、メモリブロック10 d内のビット線BL dが選択されるときには、選択ビット線BL dは、NチャネルトランジスタQC d 0-QC d 3を介して、データバス線BD 18, BD 0, BD 16, BD 17に結合される。

## 【0157】

NチャネルトランジスタQC a 0-QC a 3のゲートには、それぞれ、コラムアドレスイネーブル信号CAUE<3:0> (=CAUE<3>-CAUE<0>)が入力される。したがって、NチャネルトランジスタQC aは、コラムアドレスイネーブル信号CAUE<3:0>の活性/非活性に応答して、選択ビット線BL aとデータバス線BDとを電氣的に結合/分離する。

## 【0158】

同様に、NチャネルトランジスタQC b 0-QC b 3, QC c 0-QC c 3, QC d 0-QC d 3のゲートには、コラムアドレスイネーブル信号CAUE<3

: 0 > がそれぞれ入力される。したがって、Nチャネルトランジスタ  $QCb$ ,  $QCc$ ,  $QCc$  は、コラムアドレスイネーブル信号  $CAUE < 3 : 0 >$  の活性／非活性に応答して、選択ビット線  $BLb$ ,  $BLc$ ,  $BLd$  とデータバス線  $BD$  とをそれぞれ電氣的に結合／分離する。

## 【 0 1 5 9 】

ここで、コラムアドレスイネーブル信号  $CAUE$  とは、コラムアドレス  $CA$  によって連続的に選択されるビット線  $BL$  のうち、スタートアドレスに対応するビット線  $BL$  とデュアルセンス用のデータバス線  $BD$  とを結合するための制御信号である。

## 【 0 1 6 0 】

なお、スタートアドレスは、2ビットのコラムアドレス  $CA < 3 : 2 >$  ( $= CA < 3 >$ ,  $CA < 2 >$ ) に対応して指定される。具体的には、コラムアドレス  $CA < 3 : 2 >$  の上位ビット側から「0, 0」に対応してスタートアドレス 0 # が指定される。コラムアドレス  $CA < 3 : 2 >$  の上位ビット側から「0, 1」に対応してスタートアドレス 1 # が指定される。コラムアドレス  $CA < 3 : 2 >$  の上位ビット側から「1, 0」に対応してスタートアドレス 2 # が指定される。コラムアドレス  $CA < 3 : 2 >$  の上位ビット側から「1, 1」に対応してスタートアドレス 3 # が指定される。

## 【 0 1 6 1 】

図 9 は、コラムアドレス  $CA < 3 : 2 >$  とコラムアドレスイネーブル信号  $CAUE < 3 : 0 >$  との対応関係を示す図である。

## 【 0 1 6 2 】

コラムアドレスイネーブル信号  $CAUE$  は、図 9 に示すように、2ビットのコラムアドレス  $CA < 3 : 2 >$  のデコード結果とコラムデコーダイネーブル信号  $CDE$  との論理和の演算結果として生成される。

## 【 0 1 6 3 】

図 9 を参照して、コラムアドレス  $CA < 3 : 2 >$  が上位ビット側から「0, 0」( $=$  スタートアドレスが 0 #) のときには、コラムアドレスイネーブル信号  $CAUE < 3 : 0 >$  は、上位ビット側から「L, L, L, H」となる。

## 【0164】

また、コラムアドレス  $CA<3:2>$  が上位ビット側から「0, 1」（＝スタートアドレスが1 #）のときには、コラムアドレスイネーブル信号  $CAUE<3:0>$  は、上位ビット側から「H, L, L, L」となる。

## 【0165】

また、コラムアドレス  $CA<3:2>$  が上位ビット側から「1, 0」（＝スタートアドレスが2 #）のときには、コラムアドレスイネーブル信号  $CAUE<3:0>$  は、上位ビット側から「L, H, L, L」となる。

## 【0166】

また、コラムアドレス  $CA<3:2>$  が上位ビット側から「1, 1」（＝スタートアドレスが3 #）のときには、コラムアドレスイネーブル信号  $CAUE<3:0>$  は、上位ビット側から「L, L, H, L」となる。

## 【0167】

このように、コラムアドレス  $CA<3:2>$  に対応してスタートアドレス0 #－3 #が指定されるとともに、1信号のみがHレベルとなり、かつ他の3信号はLレベルとなるコラムアドレスイネーブル信号  $CAUE<3:0>$  が生成されることとなる。

## 【0168】

再び図8を参照して、コラムアドレスイネーブル信号  $CAUE<3:0>$  は、Nチャネルトランジスタ  $QC a$ ,  $QC b$ ,  $QC c$ ,  $QC d$  にそれぞれ入力される。

## 【0169】

例えば、コラムアドレス  $CA<3:2>$  が上位ビット側から「0, 0」（＝スタートアドレスが0 #）のときには、コラムアドレスイネーブル信号  $CAUE<3:0>$  が上位ビット側から「L, L, L, H」となり、 $CAUE<0>$  を受けるNチャネルトランジスタ  $QC a 0$ ,  $QC b 0$ ,  $QC c 0$ ,  $QC d 0$  がオンされる。これによって、メモリブロック10a－10dの選択ビット線  $BL a$ － $BL d$  は、それぞれ、データバス線  $BD 0$ ,  $BD 16$ ,  $BD 17$ ,  $BD 18$  に結合される。

## 【0170】

すなわち、スタートアドレスが0#のときには、対応するメモリブロック10a内のビット線BLaが選択されてデュアルセンス用のデータバス線BD0に結合される。よって、選択ビット線BLaの読出電位は、図示しないデュアルセンスアンプによって高速にセンスされることとなる。

## 【0171】

一方、後続のアドレスで選択される残りの3本の選択ビット線BLb, BLc, BLdは、シングルセンス用データバス線BD16-BD18にそれぞれ結合される。よって、選択ビット線BLb, BLc, BLdの読出電位は、それぞれシングルエンドのセンス方式にてセンスされることとなる。

## 【0172】

結果として、スタートアドレス0#に対応するビット線BLaを先頭として、ビット線BLb, BLc, BLdが連続的に選択されると、対応する読出電位が図示しない外部端子DQからシリアルに出力されることとなる。

## 【0173】

同様に、スタートアドレスが1#のときには、コラムアドレスイネーブル信号CAUE<3:0>が上位ビット側から「H, L, L, L」となり、HレベルのCAUE<3>を受けるNチャネルトランジスタQC a 3, QC b 3, QC c 3, QC d 3がオンされる。これによって、メモリブロック10a-10dの選択ビット線BLa-BLdは、それぞれ、データバス線BD18, BD0, BD16, BD17に結合される。

## 【0174】

したがって、スタートアドレスが1#のときには、対応するメモリブロック10b内のビット線BLbが選択されてデュアルセンス用のデータバス線BD0に結合される。よって、選択ビット線BLaの読出データは、図示しないデュアルセンスアンプによって高速にセンスされることとなる。

## 【0175】

一方、後続のアドレスで選択される残りの3本の選択ビット線BLc, BLd, BLaは、シングルセンス用データバス線BD16-BD18にそれぞれ結合

される。よって、選択ビット線  $BL_c$ ,  $BL_d$ ,  $BL_a$  の読出データは、それぞれシングルエンドのセンス方式にてセンスされることとなる。

【0176】

以上のように、コラムアドレスイネーブル信号  $CAUE<3:0>$  によって、スタートアドレスに対応するビット線  $BL$  のみがデュアルセンス用データバス線  $BD$  に選択的に結合されることから、スタートアドレスに対応するデータを高速に読出することができる。このとき、次のアドレスに対応するデータは、シングルセンスアンプによって後続して読出されることとなる。

【0177】

コラムアドレス  $CA$  で指定されるスタートアドレスに応じて、論理レベルが変化するコラムアドレスイネーブル信号  $CAUE<3:0>$  を用いることによって、スタートアドレスに対応するビット線  $BL$  とデュアルセンス用のデータバス線  $BD$  との結合を容易に切換えることが可能となる。

【0178】

以上のように、この発明の実施の形態 5 に従えば、デュアルセンスアンプとシングルセンスアンプとを用いて連続的にデータ読出を行なうモードにおいて、スタートアドレスに絡ませて生成したコラムアドレスイネーブル信号によって、スタートアドレスに対応するビット線とデュアルセンス用のデータバス線との結合を容易に切換えることができる。これによって、高集積化されたフラッシュメモリにおいて、データ転送レートの高速化を容易に実現することができる。

【0179】

〔実施の形態 6〕

以上の実施の形態 4 および 5 のフラッシュメモリは、連続的に複数のデータを読出すモードにおいて、スタートアドレスに対応するビット線を相補型のセンス方式でセンスし、後続アドレスに対応するビット線をシングルエンドのセンス方式でセンスする構成とすることによって、データ転送レートの高速化と回路規模の小型化とを両立させるものであった。

【0180】

本実施の形態では、本構成のフラッシュメモリにおいて、任意のアドレスを指

定してデータ転送を行なうランダムアクセスモードでデータ読出を行なう方法について説明する。

【0181】

なお、本実施の形態に従うフラッシュメモリは、図7，8で示した構成と同一であることから、構成についての詳細な説明は省略する。

【0182】

図10は、フラッシュメモリが16ビットのランダムアクセスモードに選択されたときのデータ読出動作を説明するための図である。

【0183】

実施の形態4，5では、64ビットのデータを連続的にデータ転送する場合に、先頭の16ビットのデータのみをデュアルセンスアンプ51にて高速にセンスする構成について説明した。

【0184】

一方、本実施の形態では、16ビットをランダムアクセスすることから、本構成において、16ビットのデータをデュアルセンスアンプ51によって読出すこととすれば、高速動作を維持することが可能である。

【0185】

図10を参照して、コラムアドレス $CA<1:0>$ のデコード結果である列選択信号 $SEL0-3$ によって、1つのメモリブロックを構成する4本のビット線 $BL$ のうちの1本のビット線が選択されて、1ビットの読出電位が駆動される。

【0186】

さらに、コラムアドレス $CA<3:2>$ のデコード結果であるコラムアドレスイネーブル信号 $CAUE<3:0>$ によって、1本のデータバス線 $BD$ を共有する4つのメモリブロックから1つのメモリブロックが選択されると、1ビットの読出電位が1本のデュアルセンス用のデータバス線 $BD$ に伝達される。

【0187】

このようにして、デュアルセンス用のデータバス線 $BD0-15$ のそれぞれにおいて、1ビットの読出電位が伝達される。

【0188】



さらに、データバス線BD0-15に伝達された計16ビットの読出電位は、デュアルセンスアンプ51において、データバス線BD0-15のそれぞれに対応する参照データバス線BDr ef 0-15（図示せず）との電位差を差動増幅することによって検出される。

【0189】

このとき、図示しないシングルセンスアンプにおいては、対応するデータバス線BD16-63（図示せず）が非活性状態にあることから、センス動作は行なわれない。

【0190】

したがって、16ビットのランダムアクセスモードにおいては、データ読出は、デュアルセンス51のみによって行なわれることから、高速動作が保証される。

【0191】

以上のように、この発明の実施の形態6に従えば、連続的なデータ読出に対応して、デュアルセンスアンプとシングルセンスとからなるセンスアンプ帯を備えたフラッシュメモリにおいて、ランダムアクセスモードに選択されたときには、デュアルセンスアンプのみを動作させてデータ読出を行なうことにより、高速データ転送レートを維持することができる。

【0192】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0193】

【発明の効果】

以上のように、この発明に係る不揮発性半導体記憶装置によれば、複数本の参照ビット線を備えた構成とすることにより、連続的にデータ読出を行なうモードにおいて、参照用ビット線へのプリチャージ時間をアクセス期間に隠すことができることから、データ転送レート的高速化を実現することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 に従う不揮発性半導体記憶装置において、データ読出に関連する部分の構成を示す図である。

【図 2】 コラムデコーダ 7 0、タイミング制御回路 8 0 およびデコーダ 9 0 からそれぞれ出力される列選択信号 S E L、リセット信号 R S T、参照列選択信号 S E L r e f および参照リセット信号 R S T r e f のタイミングチャートである。

【図 3】 この発明の実施の形態 1 の変更例 1 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【図 4】 この発明の実施の形態 1 の変更例 2 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【図 5】 この発明の実施の形態 2 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【図 6】 この発明の実施の形態 3 に従うフラッシュメモリのデータ読出に関連する部分の構成を示す図である。

【図 7】 この発明の実施の形態 4 に従うフラッシュメモリにおけるデータ読出に関連する部分の構成の一例を模式的に示す図である。

【図 8】 この発明の実施の形態 5 に従うフラッシュメモリの列選択動作に関連する部分を抽出して示す図である。

【図 9】 コラムアドレス C A < 3 : 2 > とコラムアドレスイネーブル信号 C A U E < 3 : 0 > との対応関係を示す図である。

【図 1 0】 フラッシュメモリが 1 6 ビットのランダムアクセスモードに選択されたときのデータ読出動作を説明するための図である。

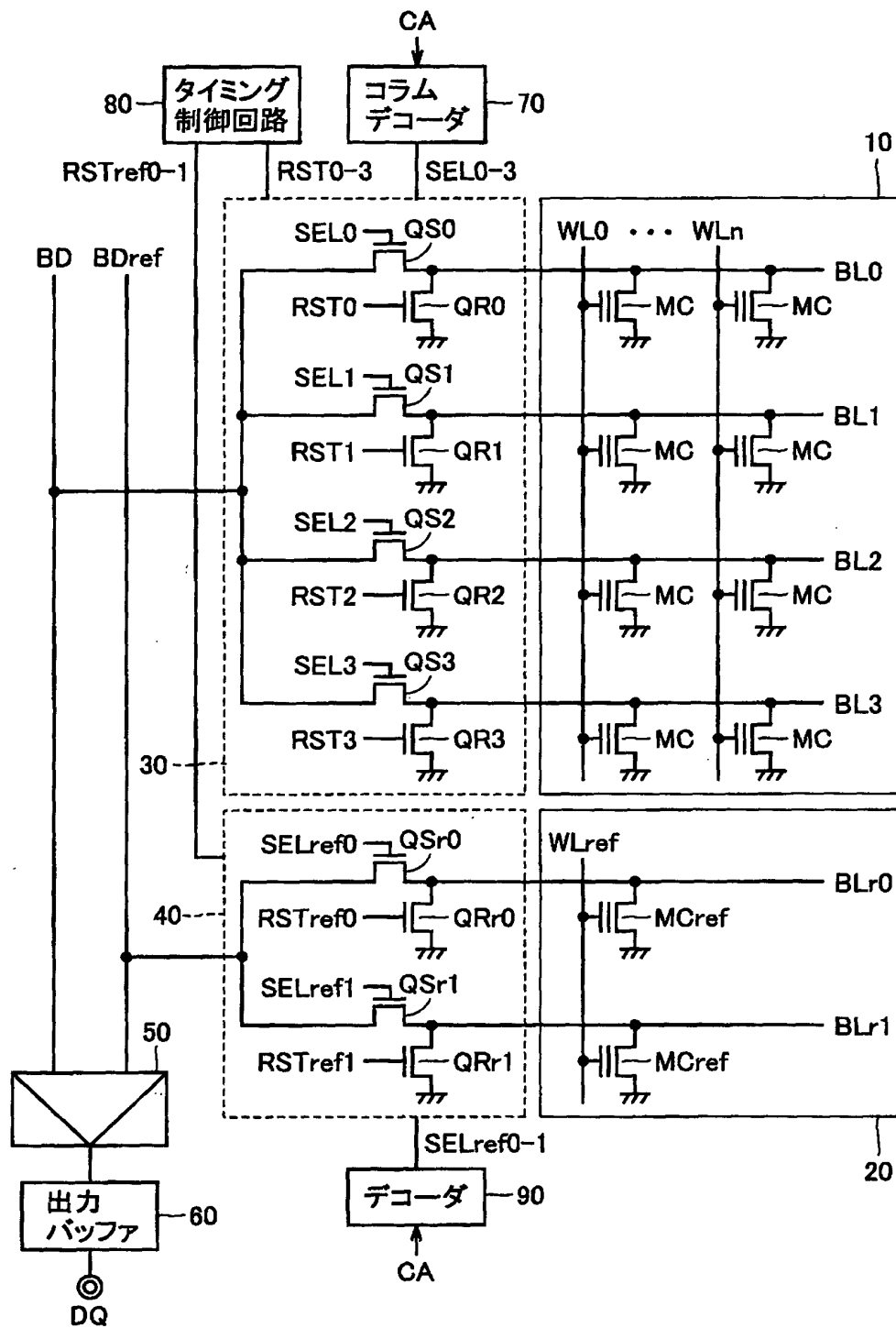
【符号の説明】

1 0, 1 0 a ~ 1 0 d, 1 1 メモリブロック、2 0, 2 1 参照メモリブロック、3 0, 3 0 a ~ 3 0 d マルチプレクサ、4 0, 4 1 参照マルチプレクサ、5 0 センスアンプ、5 1 デュアルセンスアンプ、5 2 シングルセンスアンプ、5 3 センスアンプ帯、6 0 出力バッファ、7 0 コラムデコーダ、8 0 タイミング制御回路、9 0 デコーダ、M C メモリセル、M C r 参照

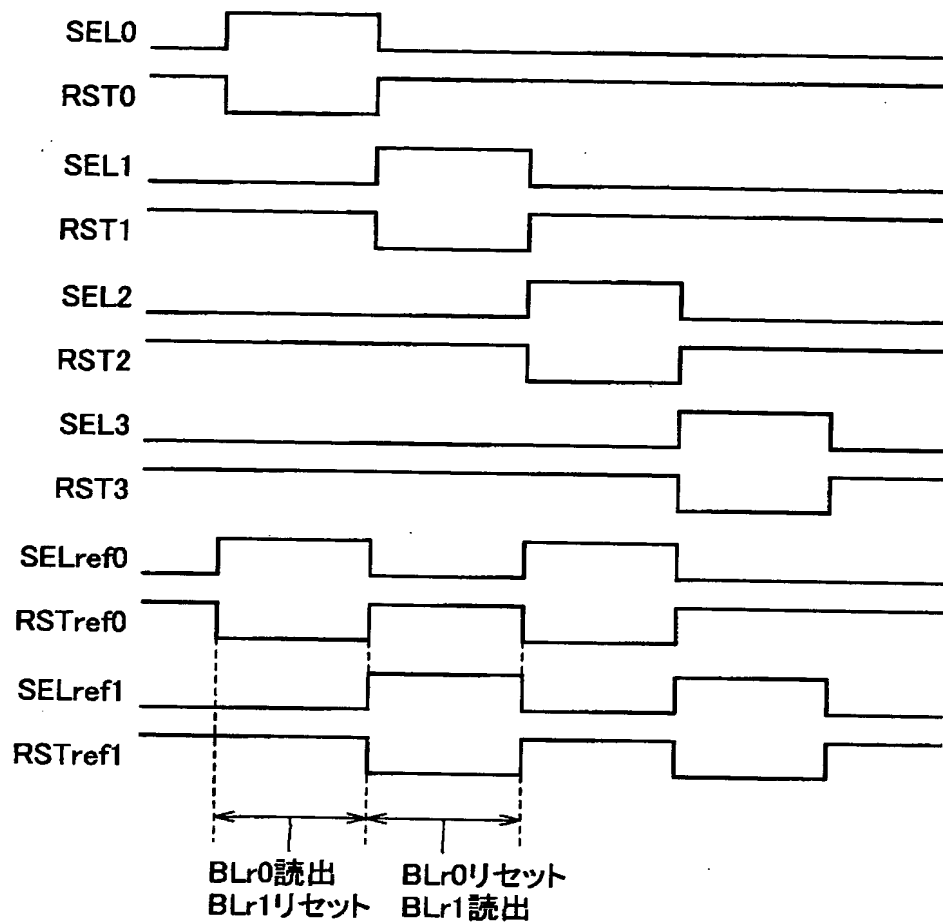
メモリセル、BL ビット線、BLr 参照ビット線、WL ワード線、WLr  
ef 参照ワード線、BD, BD0~BD63 データバス線、BDref 参  
照データバス線、DQ 外部端子、QS0-QS3, QSr0, QSr1, QR  
0-QR3, QRr0, QRr1, QCa0-QCa3, QCb0-QCb3,  
QCc0-QCc3, QCd0-QCd3 Nチャネルトランジスタ、CA コ  
ラムアドレス信号、CAUE コラムアドレスイネーブル信号、CDE コラム  
デコーダイネーブル信号、SEL 列選択信号、SELref 参照列選択信号  
、RST リセット信号、RSTref 参照リセット信号。

【書類名】 図面

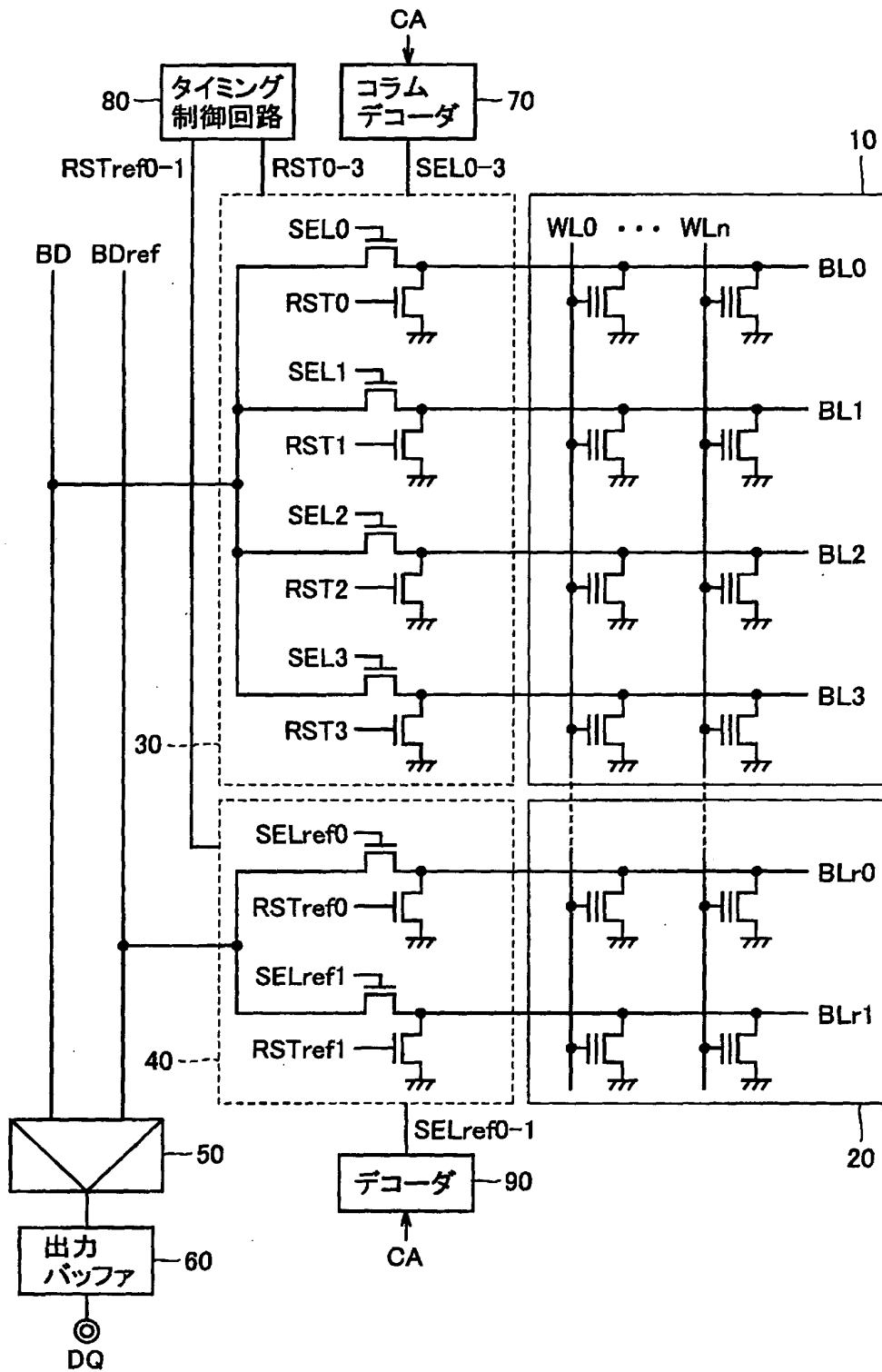
【図 1】



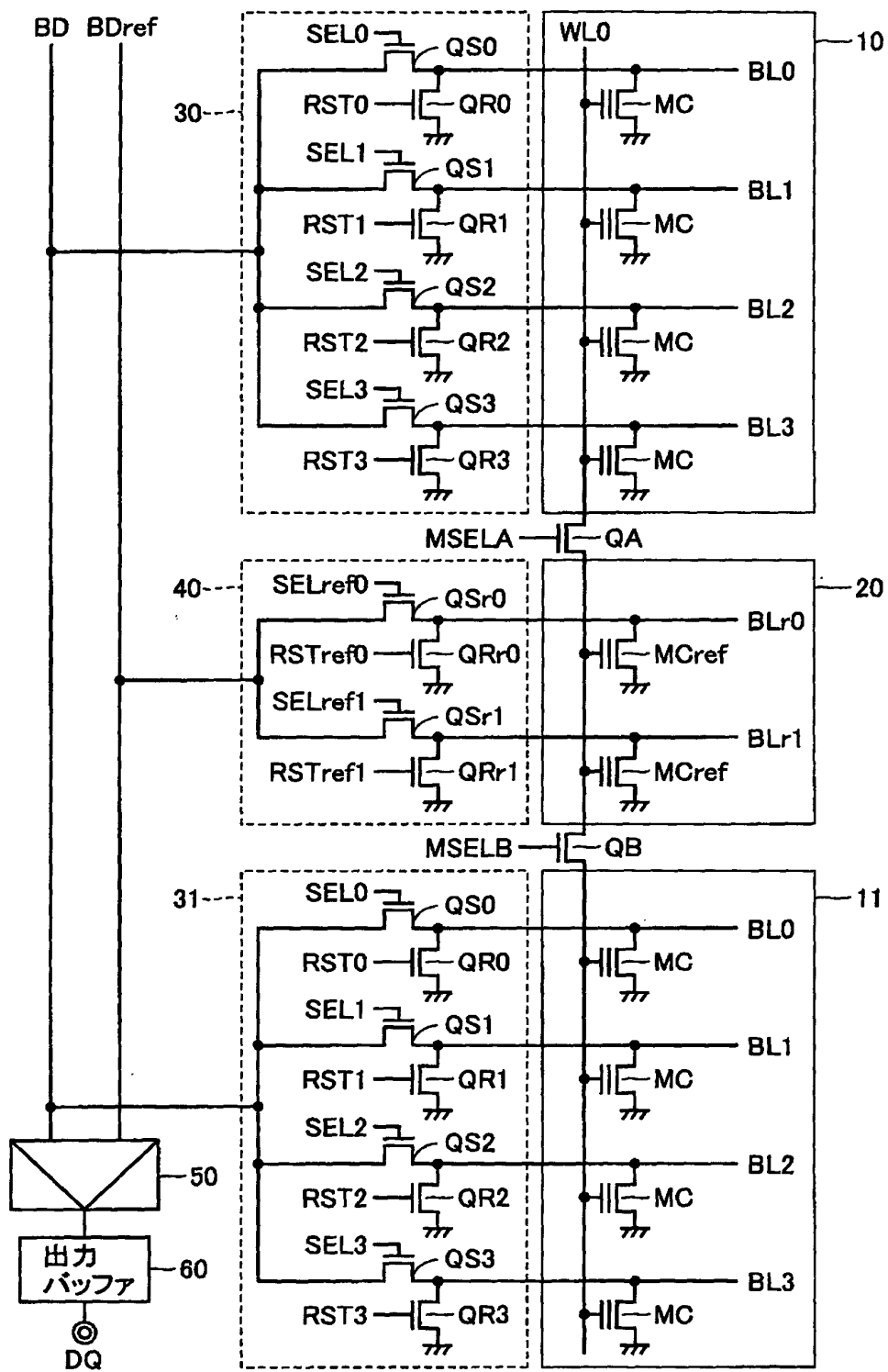
【図 2】



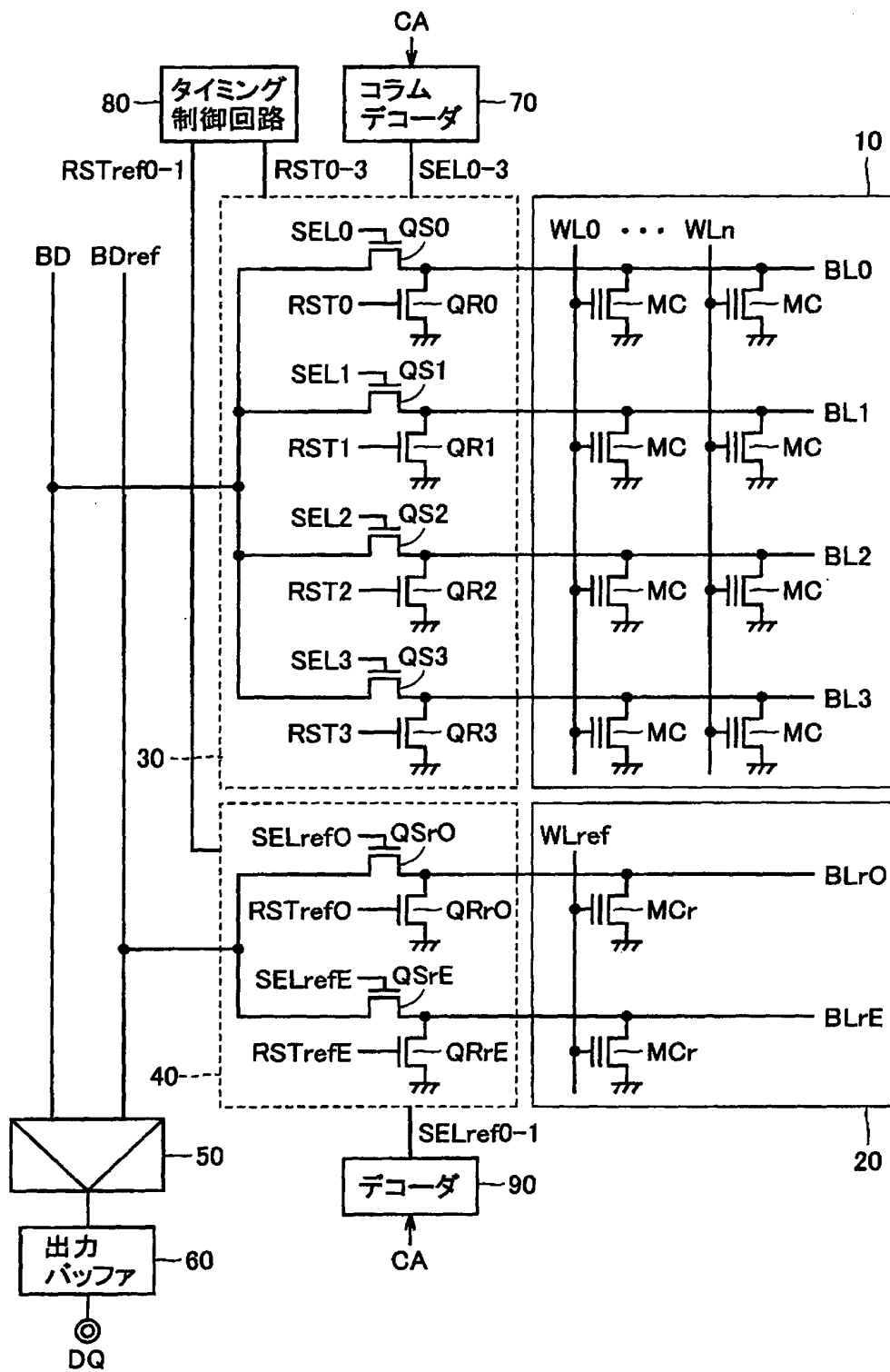
【図 3】



【図 4】

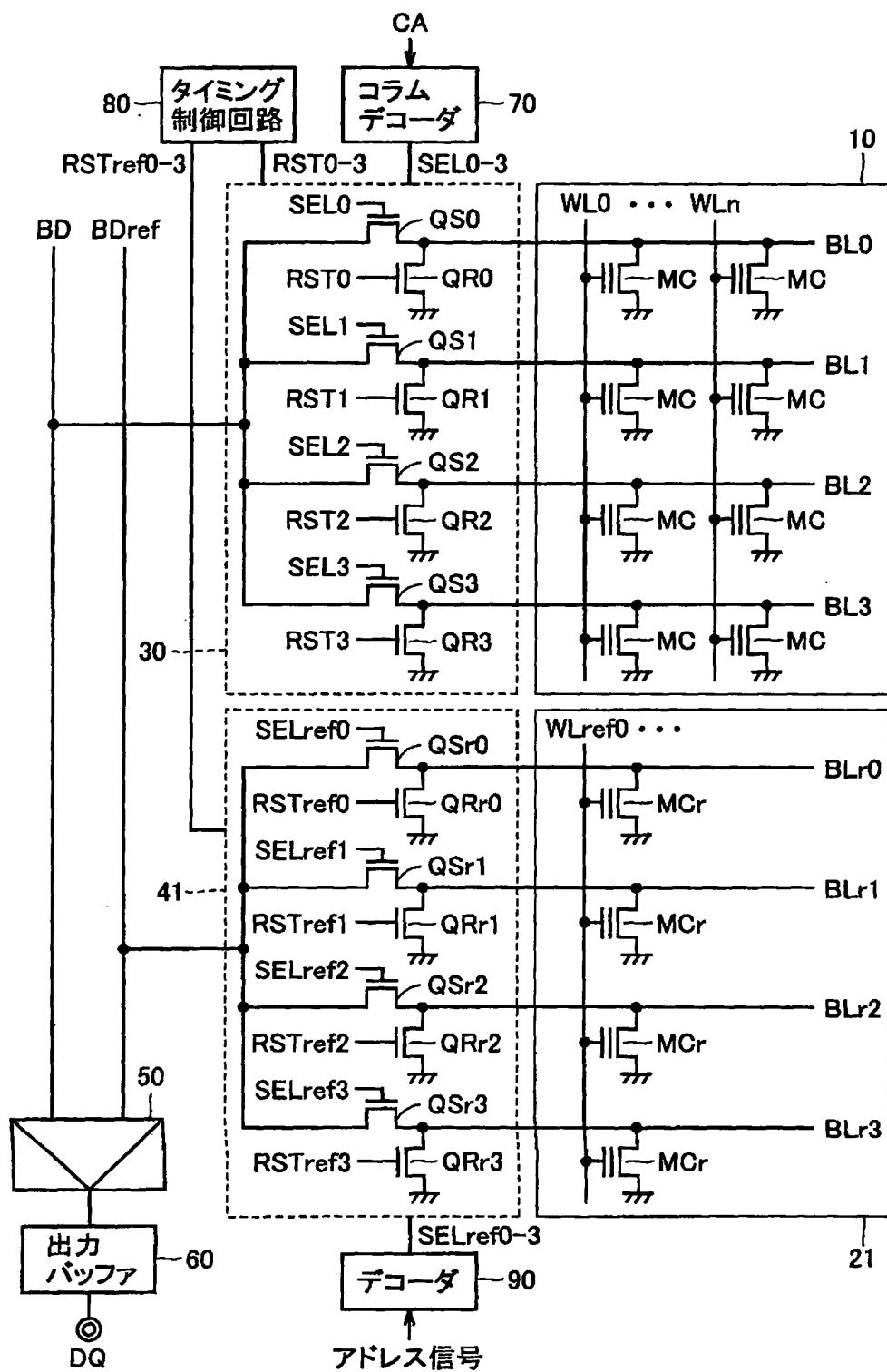


【図 5】

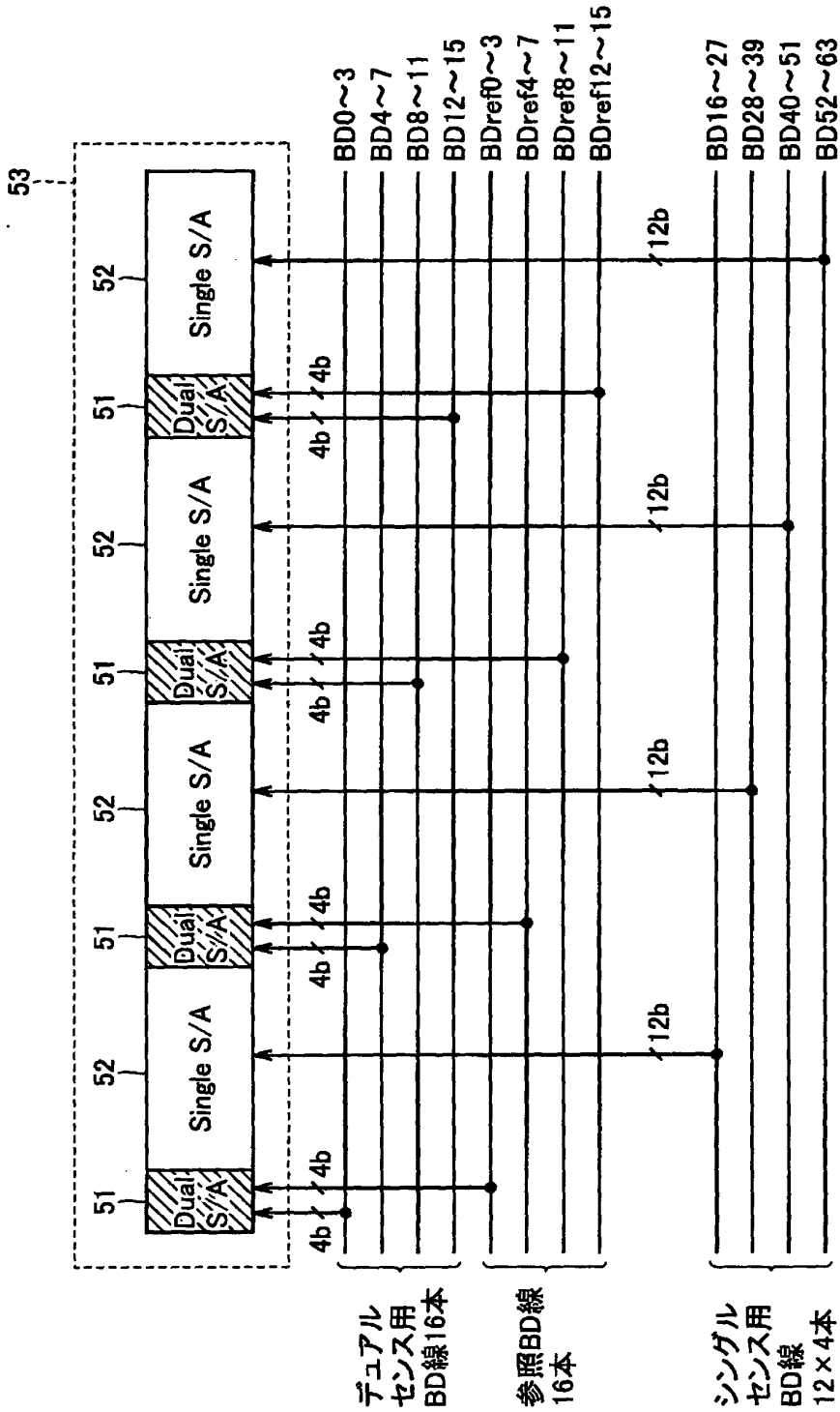




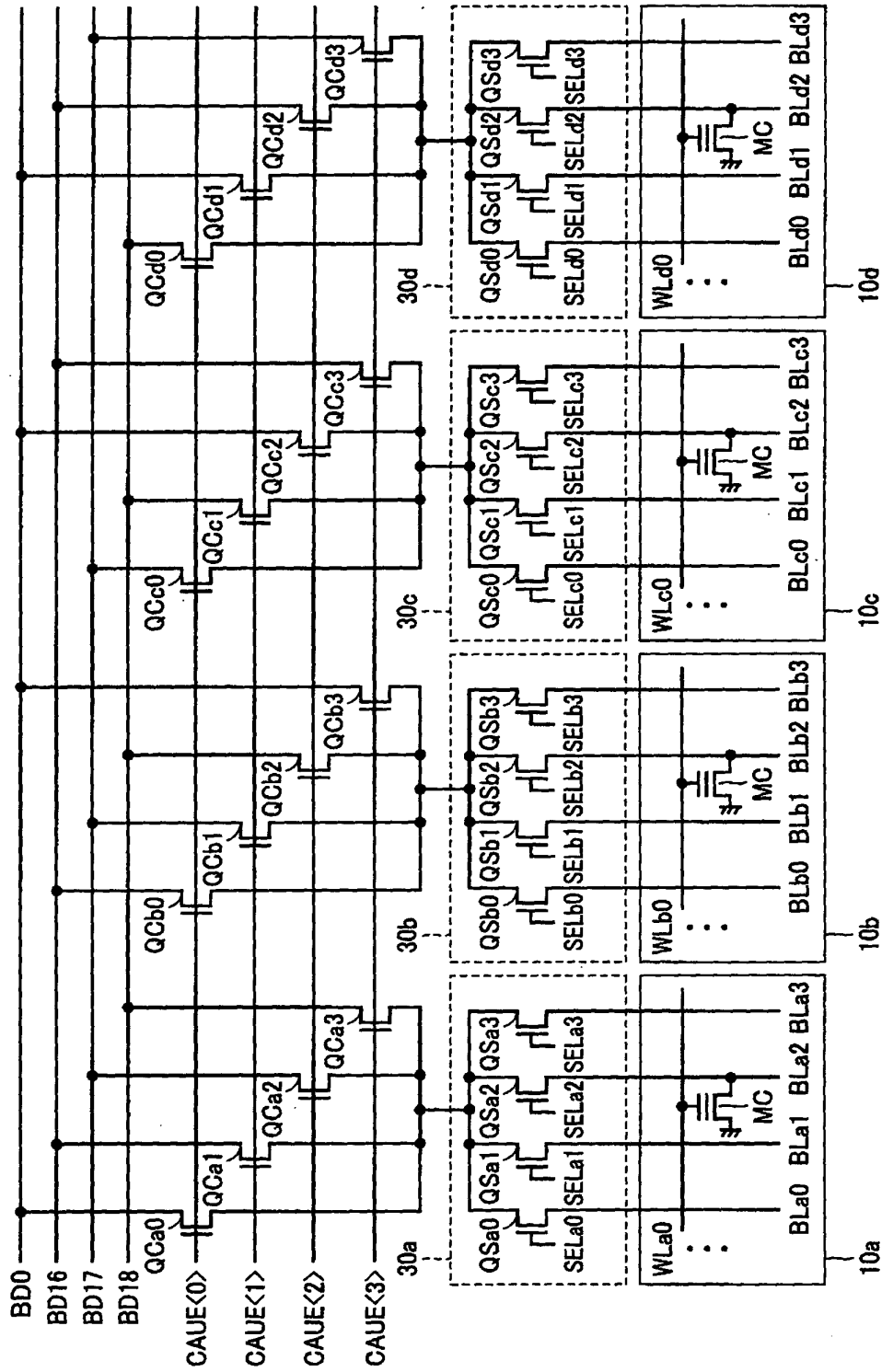
【図 6】



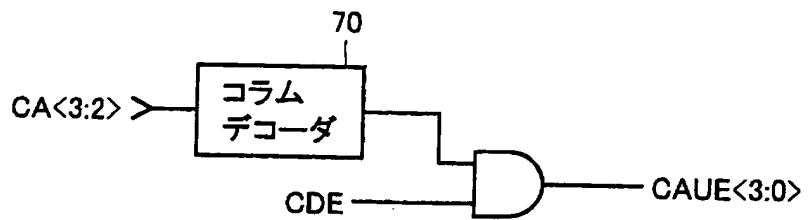
【図 7】



【図8】

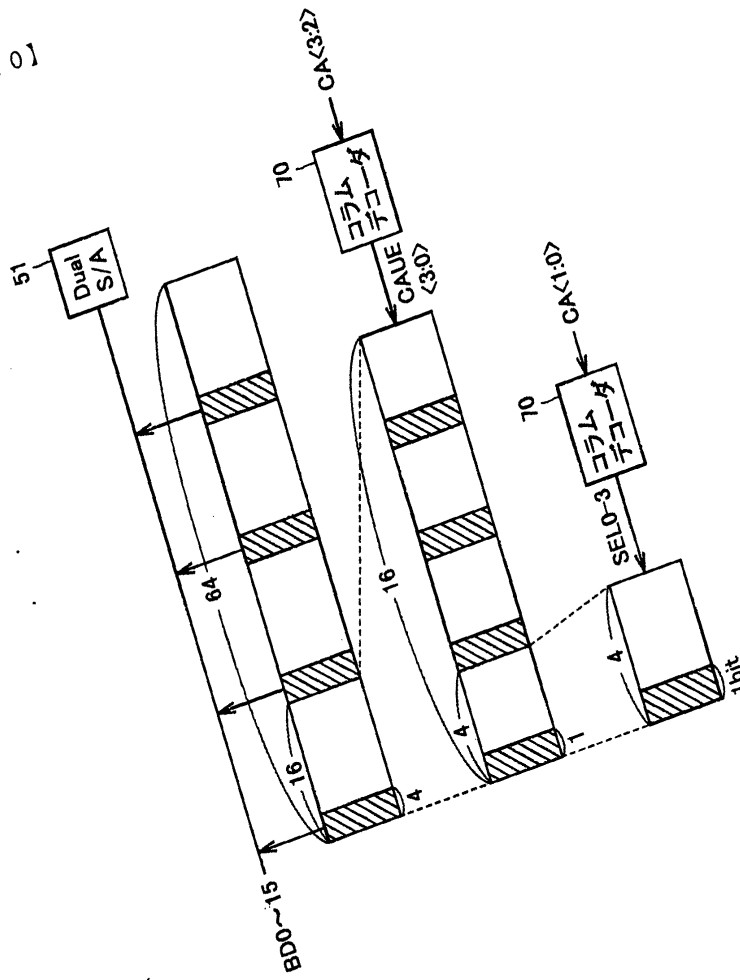


【図 9】



	CA <3><2>	CA <3><2>	CA <3><2>	CA <3><2>
	0 0	0 1	1 0	1 1
CAUE<0>	H	L	L	L
CAUE<1>	L	L	L	H
CAUE<2>	L	L	H	L
CAUE<3>	L	H	L	L

【図10】



【書類名】 要約書

【要約】

【課題】 高速データ転送レートを実現する不揮発性半導体記憶装置を提供する。

【解決手段】 参照メモリセルMC<sub>r</sub>は、2本の参照ビット線BL<sub>ref0-1</sub>に接続される。データアクセス時において、コラムアドレスCAのデコード結果である参照列選択信号SEL<sub>ref</sub>に応じて1本の参照ビット線BL<sub>r</sub>が選択状態に駆動されると、選択参照ビット線BL<sub>r</sub>の電位が参照データバス線BD<sub>ref</sub>へと伝達される。参照データバス線BD<sub>ref</sub>とデータバス線BDとの電位差がセンスアンプ50にて差動増幅され、外部端子DQから読出データが出力される。上記のアクセス期間において、非選択状態の参照ビット線BL<sub>r</sub>は、Hレベルのリセット信号RSTに応じて接地電位にプリチャージされる。次のデータアクセス時に非選択参照ビット線BL<sub>r</sub>が選択されると、ビット線のプリチャージ時間を待つことなく連続的にデータ読出ができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ